

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-080544

(43)Date of publication of application : 13.03.1992

(51)Int.Cl.

F24F 11/02

(21)Application number : 02-196641

(71)Applicant : MATSUSHITA REFRIG CO LTD

(22)Date of filing : 24.07.1990

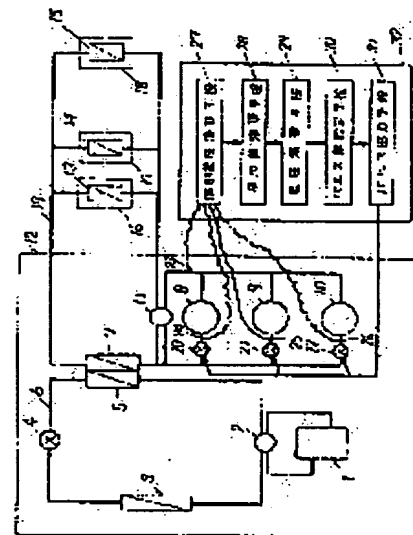
(72)Inventor : HIROSE KENJI
KURACHI MASAO

(54) COOLING AND HEATING DEVICE

(57)Abstract:

PURPOSE: To enable uniformization of flow rates to a plurality of refrigerant pumps by a method wherein a control device comprises an individual differential pressure computing means for a plurality of refrigerant pumps, and average value computing means, a differential pressure computing means, a number of pulses setting means for a flow rate value, and a pulse outputting means.

CONSTITUTION: A control device 32 comprises an individual differential pressure computing means 27 to subtract a value detected by a refrigerant pump inlet pressure detector 23 from values detected by outlet pressure detectors 24, 25, and 26 of a plurality of refrigerant pumps 8, 9, and 10, an average value computing means 28 to average to values of the individual differential pressure computing means, a differential pressure computing means 29 to calculate to differential pressure of each refrigerant pump through subtraction of an average value from a computing value, a number of pulses setting means 30 to control the limits of flow rate valves 20, 21, and 22 according to the absolute value of a differential pressure, and a pulse outputting means 31 to output the number of pulses to the flow rate valves. This constitution enables uniformization of flow rates to a plurality of the refrigerant pumps and prevents the occurrence of deficiency in capacity of a cooling heating device and breakage of the refrigerant pump.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公告

⑫ 特許公報(B2)

平4-80544

⑬ Int. Cl. 5

識別記号

庁内整理番号

⑭ 公告 平成4年(1992)12月18日

H 01 L 29/788
G 11 C 16/02
16/04
H 01 L 27/115
29/792

8225-4M H 01 L 29/78 3 7 1
8831-4M 27/10 4 3 4
9191-5L G 11 C 17/00 3 0 7 D

発明の数 1 (全5頁)

⑮ 発明の名称 半導体不揮発性記憶装置の書き込み及び消去方法

審判 平3-6720

⑯ 特願 昭57-3584

⑰ 公開 昭58-121679

⑱ 出願 昭57(1982)1月12日

⑲ 昭58(1983)7月20日

⑳ 発明者 松尾 龍一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

㉑ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代理人 弁理士 古川 亮 外2名

審判の合議体 審判長 平沢 伸幸 審判官 石川 正幸 審判官 山本 一正

㉓ 参考文献 特開 昭55-160471(JP, A) 特開 昭56-33882(JP, A)

特開 昭51-77142(JP, A) 特開 昭52-144981(JP, A)

特開 昭49-16387(JP, A)

1

2

㉔ 特許請求の範囲

1 半導体基板の主面部に互いに所定間隔をおいて形成されたドレイン不純物拡散層及びソース不純物拡散層と、上記半導体基板と上記ドレイン不純物拡散層と上記ソース不純物拡散層の各表面上にわたって形成された第1絶縁膜、この第1絶縁膜上に配設されたフローティングゲート導電体層と、このフローティングゲート導電体層上に第2絶縁膜を介して対向配設された制御ゲート導電体層とを有した不揮発性メモリセルの書き込み及び消去方法において、上記フローティングゲート導電体層は上記ドレイン不純物拡散層の上方から上記ドレイン不純物拡散層及び上記ソース不純物拡散層間の上記半導体基板の上方を通って上記ソース不純物拡散層の上方に達して設けられ、上記第1絶縁膜における上記フローティングゲート導電体層直下の厚さは10~300Åの範囲内で同一厚さとし、上記制御ゲート導電体層に正の電位を印加するとともに上記ドレイン不純物拡散層及び上記ソース不純物拡散層の一方の不純物拡散層に上記制御ゲート導電体層に印加する正の電位より低い

電位を印加して、上記一方の不純物拡散層側に位置する上記第1の絶縁膜を通り抜けさせてフローティングゲート導電体層に電子を蓄積させ、上記制御ゲート導電体層に接地電位を印加するとともに上記ドレイン不純物拡散層及び上記ソース不純物拡散層の他方の不純物拡散層に正の電位を印加して、上記他方の不純物拡散層と上記フローティングゲート導電体層との間に介在する上記第1の絶縁膜のトンネル現象によつて上記フローティングゲート導電体層に蓄積された電子を上記他方の不純物拡散層に引き抜くことを特徴とする半導体不揮発性記憶装置の書き込み及び消去方法。

発明の詳細な説明

〔産業上の利用分野〕

この発明は電氣的書き込みおよび電氣的消去が可能な半導体不揮発性記憶装置（以下「不揮発性メモリ」と呼ぶ）の書き込み及び消去方法に関するものである。

〔従来の技術〕

近年、非常に注目を浴びている、電氣的書き込みおよび電氣的消去が可能な不揮発性メモリとし

て、EEPROM(Electrically Erasable Read Only Memory)がある。

この発明の理解を容易にするために、EEPROMの概要を述べる。

通常、酸化シリコン(SiO_2)膜に20~30V程度の電圧が印加されても極めて微少なリーク電流しか流れない。しかし、 SiO_2 膜がこのような良好な絶縁特性を示すのは、 SiO_2 膜の膜厚が500Å程度以上である場合に限られ、この SiO_2 膜の膜厚を例えば100~200Å程度に薄くしてこの SiO_2 膜に20V程度の電圧を印加すると約 10^7V/cm 以上の電界が生じ、この電界によつて電子が負極側から正極側へこの SiO_2 膜のエネルギー障壁を飛び越えるのではなくこの SiO_2 膜の禁止帯を通り抜けて移動してこの SiO_2 膜に電流が流れる。これは、すでに周知であるFowler-Nordheimトンネル現象(以下「トンネル現象」と呼ぶ)であり、このトンネル現象は、電子が SiO_2 膜に生ずる電界の方向に従つていずれの方向にも移動し得る両方向性である。このトンネル現象をメモリトランジスタに利用したものがEEPROMである。

以下、電界効果トランジスタ(FET)構造のフローティングゲート形メモリセルを用いたnチャネル形EEPROMを例にとり説明する。

第1図は従来のnチャネル形EEPROMのメモリセル部を示す側断面図である。

図において、1はp形シリコン(Si)基板、2および3はそれぞれp形Si基板1の一方の主面部に互いに所定間隔をおいて形成されたn形ドレイン不純物拡散層(以下「ドレイン」と呼ぶ)およびn形ソース不純物拡散層(以下「ソース」と呼ぶ)、4はドレイン2、ソース3およびp形Si基板1の各表面上にわたつて形成された SiO_2 膜である。5は SiO_2 膜4内に、ドレイン2の上方からドレイン2およびソース3間のp形Si基板1の上方を通つてソース3の上方に達するように埋設されたフローティングゲート導電体層(以下「浮遊ゲート」と呼ぶ)、6は浮遊ゲート5のドレイン2側の端部とドレイン2との間の SiO_2 膜4からなりその膜厚を、トンネル現象が生じ得るように、10~300Å程度にしたトンネル SiO_2 膜である。なお、浮遊ゲート5のドレイン2側の端部以外の直下の SiO_2 膜4の膜厚は、トンネル現象が生じないように、500Å以上になっている。7は

SiO_2 膜4内の浮遊ゲート5の上方の部分に、浮遊ゲート5との間にトンネル現象が生じないように距離をおいて埋設された制御ゲート導電体層(以下「制御ゲート」と呼ぶ)である。

次に、この従来例の動作について説明する。

ここで、浮遊ゲート5に電子を充電することを書込みと言い、浮遊ゲート5から電子を放出することを消去と言う。

まず、書込みの場合には、ドレイン2、ソース3およびp形Si基板1を接地し、トンネル SiO_2 膜6にトンネル現象を生じさせるに必要な大きさの電界が発生するように、p形Si基板1に対して正の電圧を制御ゲート7に印加すると、電子がp形Si基板1からドレイン2を通りトンネル SiO_2 膜6をトンネル現象によつて通り抜けて浮遊ゲート5に注入される。この浮遊ゲート5への注入電子によつて、浮遊ゲート5が充電されて、書込みが終了する。この浮遊ゲート5を充電した電子は、浮遊ゲート5が SiO_2 膜4によつて取り囲まれているので、制御ゲート7に印加されている正の電圧を取り除いても、浮遊ゲート5に保持されている。

次に、消去の場合には、制御ゲート7、ソース3およびp形Si基板1を接地し、トンネル SiO_2 膜6にトンネル現象を生じさせるに必要な大きさの電界が発生するように、p形Si基板1に対して正の電圧をドレイン2に印加すると、トンネル SiO_2 膜6に上記書込みの場合とは逆方向の電界が生じ、浮遊ゲート5に蓄積されている電子が浮遊ゲート5からトンネル SiO_2 膜6をトンネル現象によつて通り抜けドレイン2を経てp形Si基板1に放出されて、消去が終了する。

さらに、読み出しの場合には、浮遊ゲート5に電子が蓄積されているかどうかによつて制御ゲート7のしきい値電圧が変化するので、このしきい値電圧の変化に基づくドレイン2およびソース3間のON状態とOFF状態とによつて“1”と“0”との論理信号を得ることができる。

一般に、トンネル現象によつてトンネル SiO_2 膜を通り抜ける電子の一部がトンネル SiO_2 膜中のトラップに捕獲されてトンネル SiO_2 膜中に残留し、このトンネル SiO_2 膜中の残留電子数は電子のトンネル SiO_2 膜を通り抜ける回数に比例して増加する。

【発明が解決しようとする課題】

ところで、この従来例のメモリセルでは、書き込み時と消去時において同一のトンネル SiO_2 膜6を電子が通り抜けるので、トンネル SiO_2 膜6中に残留する電子数の、書き込みと消去とを繰返す書き換え回数に比例して増加する割合が大きい。従って、少ない書き換え回数で、トンネル SiO_2 膜6中に、制御ゲート7のしきい値電圧を変化させる程の電子数が残留して書き換えが不可能になるので、メモリセルの寿命が短いという欠点があった。また、書き込み時に電子の移動する方向と、消去時に電子の移動する方向とが全く逆方向であるので、電子の移動方向が一方である場合に比べて、トンネル SiO_2 膜6の劣化が早くなり、メモリセルの信頼性が悪いという欠点もあった。

この発明は、上述の欠点に鑑みてなされたもので、ソース拡散層およびドレイン拡散層が形成された半導体基板上に、基板上、ソース拡散層上、ドレイン拡散層上の各部分が同一の膜厚を有するトンネル絶縁膜を介してこの2つの拡散層上方にわたってフローティングゲートを形成し、かつその上方に第2の絶縁膜を介してフローティングゲートとほぼ同一幅の制御ゲートを形成し、かつ浮遊ゲートへの電荷の書き込みをソース側またはドレイン側のいずれか一方から行ない、電荷の読み出しをその他方から行なうようにすることにより、浮遊ゲートへの電荷の書き込み、消去を異なる経路で実行でき、絶縁膜中の電荷の滞留を減少でき、信頼性がよく、しかも、寿命が長く、消去が容易でデータの読み出しスピードが速いメモリセルを有する不揮発性メモリの書き込み及び消去方法を提供することを目的とする。

【課題を解決するための手段】

上記目的を達成するために、本発明は半導体基板の主面部に互いに所定間隔をおいて形成されたドレイン不純物拡散層及びソース不純物拡散層と、上記半導体基板と上記ドレイン不純物拡散層と上記ソース不純物拡散層の各表面上にわたって形成された第1絶縁膜、この第1絶縁膜上に配設されたフローティングゲート導電体層と、このフローティングゲート導電体層上に第2絶縁膜を介して対向配設された制御ゲート導電体層とを有した不揮発性メモリセルの書き込み及び消去方法において、上記フローティングゲート導電体層は上

記ドレイン不純物拡散層の上方から上記ドレイン不純物拡散層及び上記ソース不純物拡散層間の上記半導体基板の上方を通って上記ソース不純物拡散層の上方に達して設けられ、上記第1絶縁膜における上記フローティングゲート導電体層直下の厚さは10~300Åの範囲内で同一厚さとし、上記制御ゲート導電体層に正の電位を印加するとともに上記ドレイン不純物拡散層及び上記ソース不純物拡散層の一方の不純物拡散層に上記制御ゲート導電体層に印加する正の電位より低い電位を印加して、上記一方の不純物拡散層側に位置する上記第1の絶縁膜を通り抜けさせてフローティングゲート導電体層に電子を蓄積させ、上記制御ゲート導電体層に接地電位を印加するとともに上記ドレイン不純物拡散層及び上記ソース不純物拡散層の他方の不純物拡散層に正の電位を印加して、上記他方の不純物拡散層と上記フローティングゲート導電体層との間に介在する上記第1の絶縁膜のトンネル現象によって上記フローティングゲート導電体層に蓄積された電子を上記他方の不純物拡散層に引き抜くことを特徴とする半導体不揮発性記憶装置の書き込み及び消去方法を提供しようとするものである。

【発明の実施例】

第2図はこの発明の一実施例のnチャネル形EEPROMのメモリセル部を示す側断面図である。

図において、第1図に示した従来例の符号と同一符号は同等部分を示し、その説明は省略する。

6cは浮遊ゲート5直下に形成された SiO_2 膜であり、ドレイン2上、ソース3上およびその間の半導体基板上ですべて同じ膜厚を有し、かつその膜厚をトンネル現象が生じ得るように10~300Å程度にしたトンネル SiO_2 膜である。

次に、この実施例の動作について説明する。

まず、書き込みの場合には、ソース3およびp形Si基板1を接地し、ドレイン側トンネル SiO_2 膜およびソース側トンネル SiO_2 膜にトンネル現象を生じさせるに必要な大きさの電界が発生するように、p形Si基板1に対して正の電圧を制御ゲート7に印加するとともに、ドレイン2にもこれと同程度の正の電圧を印加する。この状態では、制御ゲート7とドレイン2とはほぼ同電位で電位差がないから、ドレイン側トンネル SiO_2 膜に電界

7

がほとんど発生しないので、ドレイン2からドレイン側トンネル SiO_2 膜を通しての浮遊ゲート5への電子のトンネル注入が行なわれることなく、電子がp形Si基板1からソース3を経てソース側トンネル SiO_2 膜をトンネル現象で通り抜けて浮遊ゲート5に注入される。この浮遊ゲート5への注入電子によって、浮遊ゲート5が充電されて、書き込みが終了する。

次に、消去の場合には、第1図に示した従来例の消去の場合と同様に、制御ゲート7、ソース3およびp形Si基板1を接地し、ドレイン側トンネル SiO_2 膜にトンネル現象を生じさせるに必要な大きさの電界が発生するように、p形Si基板1に対して正の電圧をドレイン2に印加すると、浮遊ゲート5に蓄積されている電子が浮遊ゲート5からトンネル SiO_2 膜をトンネル現象によつて通り抜けドレイン2を経てp形Si基板1に放出されて、消去が終了する。

また、読み出しの場合は、第1図に示した従来例の読み出しの場合と同様であるので、その説明を省略する。

この実施例のメモリセルでは、書き込み時と消去時とにそれぞれソース側トンネル SiO_2 膜とドレイン側トンネル SiO_2 膜とを電子がトンネル現象によつて通り抜けるようにしたので、両トンネル SiO_2 膜中にそれぞれ残留する電子数の、書換え回数に比例して増加する割合が、第1図に示した従来例のメモリセルにおける残留電子数の増加割合に比べて1/2になるので、書換え不能になるまでの書換え回数が、上記従来例のメモリセルの場合における書換え可能回数の2倍になり、メモリセルの寿命を長くすることができる。また、トンネル現象による両トンネル SiO_2 膜中の電子の移動方向が一方向となり、上記従来例のメモリセルの場合における両方向であるのに比べて、両トンネル SiO_2 膜の劣化を抑制することができるので、メモリセルの信頼性をよくすることができる。

また、この実施例ではソース3およびドレイン2が形成された半導体基板1上に、2つの拡散層2、3およびその間の半導体基板1表面にわたつて形成した第1絶縁膜4cの厚さを、トンネル現象を生じうる10ないし300Åとし、さらにその厚みをソース3上、ドレイン2上、および半導体基板1上の各部分で同一にしたので、基板と接触す

8

る部分の第1の絶縁膜の厚みがソース、ドレインと接触する部分と同一で薄く、このため、基板とフローティングゲート間の容量が大きく、 V_{∞} を立ち上げたときにフローティングゲートとソース(ドレイン)との間の電位差(電界)が大きくなって、消去が容易になり、かつフローティングゲートと基板間の間隔が狭く、チャネルに生じる電界が大きいため、ソース・ドレイン間に大量のチャネル電流を流すことができ、読み出しを高速に行なうことができる。

なお、これまで、nチャネル形EEPROMのメモリセルを例にとり述べたが、この発明はこれに限らず、pチャネル形EEPROMのメモリセルにも適用することができる。

[発明の効果]

以上、説明したように、この発明の半導体不揮発性記憶装置の書き込み及び消去方法はソース拡散層およびドレイン拡散層が形成された半導体基板上に第1の絶縁膜を介してこの2つの拡散層上方にわたつてフローティングゲートを形成し、かつその上方に第2の絶縁膜を介してフローティングゲートとほぼ同一幅の制御ゲートを形成し、かつ浮遊ゲートへの電荷の書き込みをソース側またはドレイン側のいずれか一方から行ない、電荷の読み出しをその他方から行なうようにしたので、上記ドレイン側トンネル絶縁膜および上記ソース側トンネル絶縁膜中にそれぞれ残留するキャリア数の、書換え回数に比例して増加する割合が、従来例の場合における残留キャリア数の増加割合に比べて、1/2になるから、書換え可能回数が、従来例のそれに比べて、2倍になり、メモリセルの寿命を長くすることができる。また、トンネル現象による上記両トンネル絶縁膜中のキャリアの移動方向が一方向になるので、従来例の場合における両方向性であるのに比べて、上記両トンネル絶縁膜の劣化を抑制することが可能となり、メモリセルの信頼性をよくすることができる。

図面の簡単な説明

第1図は従来のnチャネル形EEPROMのメモリセル部を示す側断面図、第2図はこの発明の一実施例のnチャネル形EEPROMのメモリセル部を示す側断面図である。

図において、1はp形Si基板(第1伝導形の半導体基板)、2はn形ドレイン不純物拡散層(第

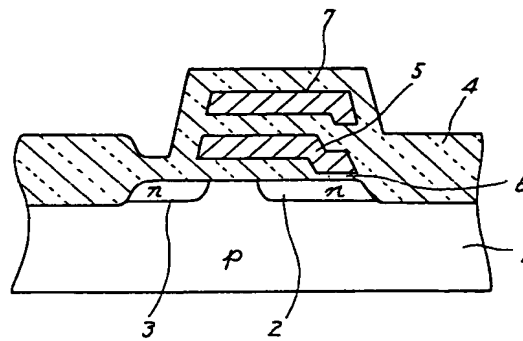
9

10

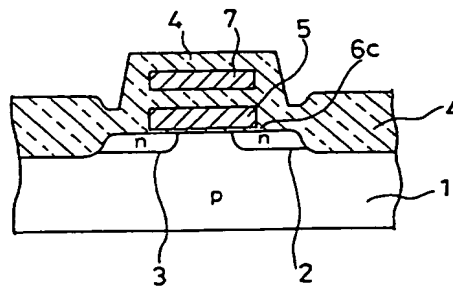
2伝導形のドレイン不純物拡散層)、3はn形ソース不純物拡散層(第2伝導形のソース不純物拡散層)、4はSiO₂膜(絶縁膜)、5はフローティングゲート導電体層、6cはトンネルSiO₂膜

(第1絶縁膜)、7は制御ゲート導電体層である。なお、図中同一符号はそれぞれ同一もしくは相当部分を示す。

第1図



第2図



【公報種別】特許法（平成6年法律第116号による改正前。）第64条の規定による補正

【部門区分】第7部門第2区分

【発行日】平成8年（1996）9月4日

【公告番号】特公平4-80544

【公告日】平成4年（1992）12月18日

【年通号数】特許公報4-2014

【出願番号】特願昭57-3584

【特許番号】1878212

【国際特許分類第6版】

H01L 21/8247

G11C 16/02

16/04

H01L 27/115

29/788

29/792

【F I】

H01L 29/78 371 8831-4M

27/10 434 7210-4M

G11C 17/00 307 D 7004-5L

【手続補正書】

1 「特許請求の範囲」の項を「1 半導体基板の主面に互いに所定間隔をおいて形成されたドレイン不純物拡散層及びソース不純物拡散層と、上記半導体基板と上記ドレイン不純物拡散層と上記ソース不純物拡散層の各表面上にわたって形成された第1絶縁膜と、この第1絶縁膜上に配設されたフローティングゲート導電体層と、このフローティングゲート導電体層上に第2絶縁膜を介して対向配設された制御ゲート導電体層とを有した不揮発性メモリセルの書き込み及び消去方法において、上記フローティングゲート導電体層は上記ドレイン不純物拡散層の上方から上記ドレイン不純物拡散層及び上記ソース不純物拡散層間の上記半導体基板の上方を通して上記ソース不純物拡散層の上方に達して設けられ、上記第1絶縁膜における上記フローティングゲート導電体層直下の厚さは10～300Åの範囲内で同一厚さとし、上記制御ゲート導電体層に正の電位を印加するとともに上記ドレイン不純物拡散層及び上記ソース不純物拡散層の一方の不純物拡散層に上記制御ゲート導電体層に印加する正の電位より低い電位を印加し、かつ、他方の不純物拡散層の電位を上記制御ゲート導電体層に印加される正の電位との間で上記他方の不純物拡散層側に位置する上記第1絶縁膜に電子の移動が生じない電界となす電位として、上記他方の不純物拡散層側に位置する上記第1絶縁膜を介して上記フローティングゲート導電層への電子の注入がなく、上記一方の不純物拡散層側に位置する上記第1絶縁膜を通り抜けさせて上記フローティングゲート導電体層に電子を蓄積させ、上記制御ゲート導電体層に接地電位を印加するとともに上記ドレイン不純物拡散層

及び上記ソース不純物拡散層の上記他方の不純物拡散層に正の電位を印加し、かつ、上記一方の不純物拡散層の電位を上記制御ゲート導電体層に印加される接地電位との間で上記一方の不純物拡散層側に位置する上記第1絶縁膜に電子の移動が生じない電界となす電位として、上記一方の不純物拡散層側に位置する上記第1絶縁膜を介して上記フローティングゲート導電体層に蓄積された電子の引き抜きがなく、上記他方の不純物拡散層と上記フローティングゲート導電体層との間に介在する上記第1絶縁膜のトンネル現象によって上記フローティングゲート導電体層に蓄積された電子を上記他方の不純物拡散層に引き抜くことを特徴とする半導体不揮発性記憶装置の書き込み及び消去方法。」と補正する。

2 第6欄10～11行「印加して」を「印加し、かつ、他方の不純物拡散層の電位を上記制御ゲート導電体層に印加される正の電位との間で上記他方の不純物拡散層に位置する上記第1絶縁膜に電子の移動が生じない電界となす電位として、上記他方の不純物拡散層側に位置する上記第1絶縁膜を介して上記フローティングゲート導電層への電子の注入がなく、」と補正する。

3 第6欄16行「印加して、」を「印加し、かつ、上記一方の不純物拡散層の電位を上記制御ゲート導電体層に印加される接地電位との間で上記一方の不純物拡散層側に位置する上記第1絶縁膜に電子の移動が生じない電界となす電位として、上記一方の不純物拡散層側に位置する上記第1絶縁膜を介して上記フローティングゲート導電体層に蓄積された電子の引き抜きがなく、」と補正する。